

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

56-81992

**(54) MOS TYPE FIELD EFFECT TRANSISTOR**

(11) 56-81972 (A) (43) 4.7.1981 (19) JP

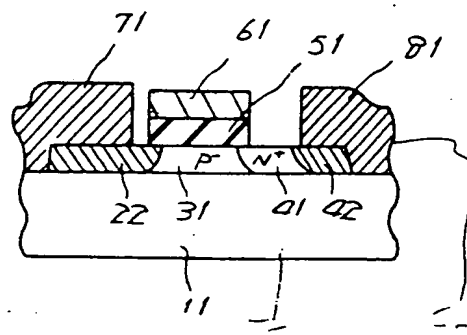
(21) Appl. No. 54-157967 (22) 7.12.1979

(71) TOKYO SHIBAURA DENKI K.K. (72) TETSUYA IIZUKA

(51) Int. Cl.<sup>3</sup> H01L29/78, H01L29/08

**PURPOSE:** To accelerate the operation of an MOS field effect transistor by forming a semiconductor channel region on an insulating substrate together with source and drain regions disposed therebetween as an MOSFET and forming the source and channel regions in junction as nonrectifying property.

**CONSTITUTION:** A P<sup>-</sup> type semiconductor layer made of semiconductor layer is covered on an insulating substrate 11 using sapphire monocrystal or the like, the center is used as a channel region 31, and a gate electrode 61 is covered through a gate insulating film 51 thereon. When N<sup>+</sup> type source region 21 and drain region 41 are formed in the P<sup>-</sup> type semiconductor layers at both sides of the region 31, aluminum in the aluminum wire layer 71 provided on the region 21 is diffused in the region 21, while a P type region 22 punching through the region 22 is formed, and is in no-rectifying contact with the region 31. The aluminum from the aluminum wire layer 81 formed thereon is diffused at the end of the region 41, in non-rectifying contact with the region 41. Thus, the gate charge pumping action is eliminated, thereby accelerating the operation of the transistor.



257/66

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—81972

⑬ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
29/08

識別記号

庁内整理番号  
6603—5F  
7514—5F

⑭ 公開 昭和56年(1981)7月4日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑮ MOS形電界効果トランジスタ

川崎市幸区小向東芝町1 東京芝  
浦電気株式会社総合研究所内

⑯ 特 願 昭54—157967

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭54(1979)12月7日

川崎市幸区堀川町72番地

⑲ 発 明 者 飯塚哲哉

⑳ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称 MOS形電界効果トランジスタ
2. 特許請求の範囲

絶縁層と、この絶縁層の一方の面上に形成されるゲート層と、前記絶縁層の他方の面上に形成されソース・ドレイン領域及びこれら領域間の基板領域からなる半導体層とを具備し、前記ソース領域と基板領域の接合が非整流性であることを特徴とするMOS形電界効果トランジスタ。

3. 発明の詳細な説明

本発明は、MOS形電界効果トランジスタ(MOSFET)に係り、特に、絶縁性面上に形成したMOSFETの高速化に関するものである。

従来の絶縁性基板上に形成されたMOSFETは第1図のような構造を有している。すなわち、絶縁性基板11(例えばサブアリア単結晶基板)上に半導体(例えばシリコン)領域21、31、41を形成し、ゲート絶縁膜51を介して、ゲート電極61を形成する。領域21、41にはN形の不純物を高濃度に拡散させ、そこに71、81の金属配線

を結合し、ソース、ドレイン電極とする。

こうした構造には次のような欠点がある。すなわち、基板領域31はソース・ドレイン領域とはPN接合を介してのみ電氣的に結合しているため、ゲート電極の電位が急激に負の方向に変化した場合など、領域31は各電極結合により、負の電位となる。ゲート電極が正の方向に変化した場合は領域31の電位も正方向に変化するが、PN接合が順方向にバイアスされ順方向電流が流れ、正方向には電位は上がらない。このようにゲートのチャージ・ポンピング作用により領域31は平均として負の電位になり、基板バイアス効果により、トランジスタの調値電圧を上げてしまい、電流を流しにくくし、回路の高速動作を妨げる結果となる。

本発明は上記の点に着目てなされたもので、ゲートのチャージ・ポンピング作用を防ぎ、回路の高速動作を可能にするものである。

以下、本発明について、実施例により、同図を用いて、詳細に述べる。

第2図は本発明による一実施例である。領域22

(1)

(2)

を除けば第1図とはほぼ同様の構造である。領域42, 22は配線層71, 81の金属(Al)が高濃度Nに拡散している領域で非導電性を示す。領域42は、領域41のN<sup>+</sup>形領域と非導電性の接合をし、領域22は、N<sup>+</sup>形領域(第1図21に相当)を突き抜けて、基板領域31と非導電性の接合をしている。このため基板領域31は、71の領域との間で、オーム性の結合が保たれるためチャージ・ポンピング現象は生じない。また、71をソース端子として用いるかぎり、トランジスタの特性として不都合は生じない。トランジスタの導電状態はソースから、のびるN形のチャネルで実現され、非導電状態では、ドレイン側と基板30との間が逆バイアスされたPN接合となり、リーク電流は少ない。第2図の構造は、製造も容易で、金属配線層と、ソース・ドレインのコンタクト穴を、ソース側について、チャネルに近接させて形成してやればよい。

上記の実施例では、ドレイン領域は良質のPN接合になつており、これにより、非導電層のリー

(3)

第4図は、本発明のさらに他の実施例である。すなわち、第3図に於ける多結晶シリコン43中に低濃度のP形不純物を拡散し、層4, 4を形成し、ドレイン領域54にN形不純物を拡散したものである。こうすることにより、P形のMOSFETとしては動作せず、N形MOSFETとしてのみ動作するようにできる。

第5図は上述した本発明を、メモリ回路に応用したものである。メモリ・セルMCとビット線BLとの間にありワード線WLで制御されるトランスファ・ゲートTU1と、ビット線BLと列感知増幅器CSAとの間にあり、列デコーダCDの出力で制御されるトランスファ・ゲートTU2の層に拡散位となるソース端子が基板領域との間でオーム性接合をとるようにしたものである。こうすることにより、トランスファ・ゲートの閾値電圧の変動による回路動作のずれを防ぐことができる。

以上の実施例は、絶縁性基板上に作成されたトランジスタの例であるが、本発明は、半導体基板上に形成されたトランジスタに適用しても効果が

(5)

ク電流を防いでいるが、もし、チャネル以外の電流成分が極めて小さい場合には、ドレイン領域は必ずしもPN接合を形成している必要はない。例えば第3図はこのことを考慮した変形実施例である。領域13は、例えばP形の半導体基板で、領域23はそこにN形の不純物を拡散して形成された領域でこの場合はプード領域になる。この上に薄い絶縁層33形成、その上に多結晶シリコン層43をのせる。この層下には不純物は、拡散しない。ソース、ドレインとなる、端子S、Dの部分に例えばAlによりオーム性の接合をとる。多結晶状態であるため、電子やホール移動度は極めて低く、通常の半導体状態の百分の一から千分の一位の大きさである。さらに不純物を加えていないことからキャリアの数が小さく、ゲートに高い電圧を印加しない限り、端子S、D間の抵抗は極めて大きい。ゲート端子に正の電圧を印加すると領域43に電子が誘起され、S、D間が導電状態になる。また、ゲート端子に負の電圧を印加すれば、ホールにより、導電状態となる。

(4)

大きい。第6図に示す実施例は、通常のCMOS構造のN-チャネル・トランジスタのソース領域83と基板に相当するPウェル領域81とをオーム性の接合としたものである。こうすることにより、ソース端子に金属配線によつて、電線線を引いてなくても、P-ウェル領域81を介して電線が供給できる。尚、82はN型領域、84はドレイン領域、85は多結晶シリコンゲート、86は絶縁膜である。

第7図は、CMOSのP-チャネル・トランジスタのソース領域をN-形基板領域とオーム性の接合になるようにした、メモリ・セル回路である。図において、Q<sub>1</sub>, Q<sub>2</sub>, Q<sub>3</sub>, Q<sub>4</sub>はNチャネルトランジスタで、Q<sub>5</sub>, Q<sub>6</sub>がP-チャネル・トランジスタで、USと示した端子が基板とオーム性の接合となつている。こうすることにより、V<sub>cc</sub>で示す電線配線が、金属配線ではなく、基板を介して行なわれることになり、高い集積密度が得られる。

以上詳述した如く、本発明によれば、MOS形境界効果トランジスタの高速動作を可能にし、しか

(6)

も、乗積密度も上げることができる。

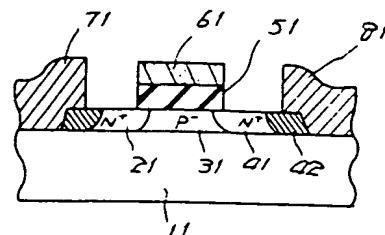
#### 4. 図面の簡単な説明

第1図は従来の絶縁性基板上に形成された MOSFET を示す断面図、第2図は本発明による MOSFET の一実施例を示す断面図、第3図及び第4図は各々本発明による他の実施例を示す断面図、第5図は本発明をメモリ装置に応用した例を示すブロック図、第6図は本発明を半導体基板上に形成された MOS 形電界効果トランジスタで実現した実施例を示す断面図、第7図は本発明により構成される CMOS のメモリセルの実施例を示す回路図である。

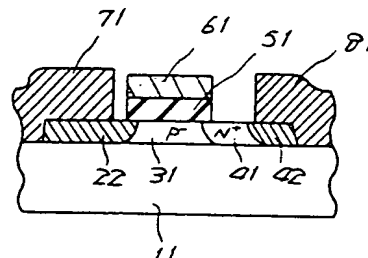
- 11 ... 絶縁基板、
- 61 ... 多結晶シリコン、
- 31 ... 基板領域、
- 41 ... ドレイン領域、
- 22, 42 ... 非電活性領域。

代理人 弁護士 関近彦佑 (ほか1名)

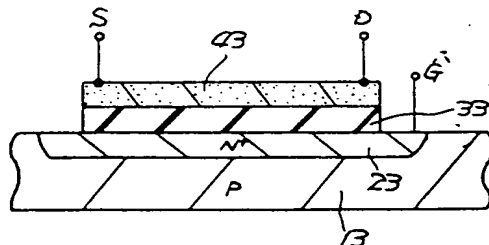
第 1 図



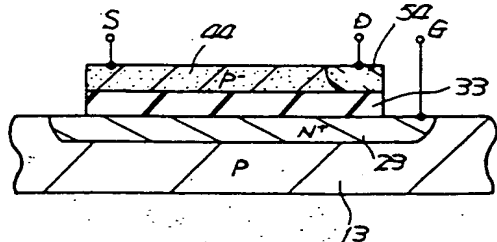
第 2 図



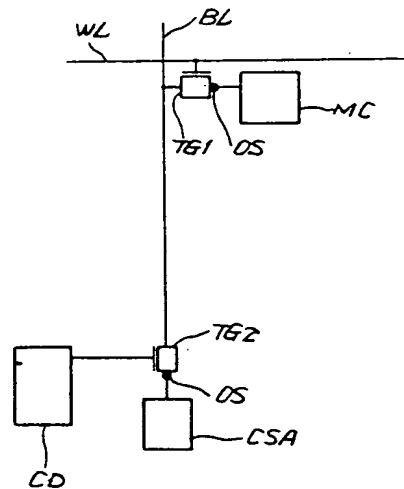
第 3 図



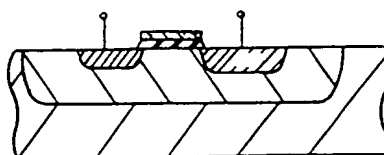
第 4 図



第 5 図



第 6 図



第 7 図

